

Document 3

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204782

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H01L 29/78

H01L 21/76

(21)Application number : 10-002608

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.01.1998

(72)Inventor : TSUCHIYA MASANOBU

SUZUKI KEITA

OSAWA AKIHIKO

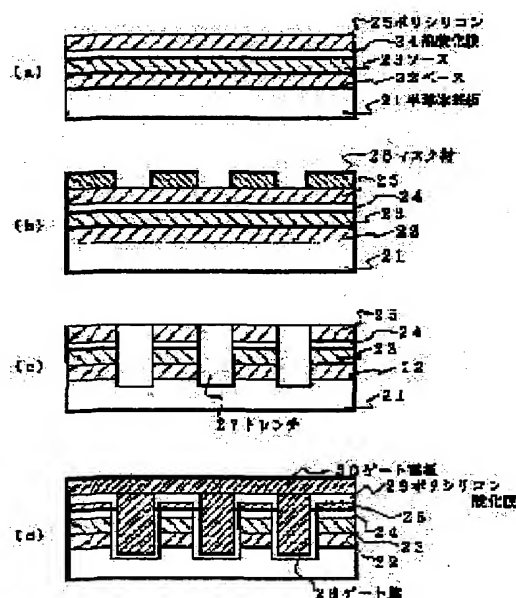
BABA YOSHIAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method in which a film construction of the angle part of a trench aperture having an equal thickness can be made, by using material having a different oxidation rate.

SOLUTION: A semiconductor device is provided with a semiconductor substrate 21, diffusion layers 22 and 23 formed on the semiconductor substrate, a first insulating film 24 formed on the diffusion layers, a poly-silicon layer 25 which is formed on the first insulating film 24 and has a faster oxidation speed than the ones of the semiconductor substrate and the diffusion layers, a trench part 27 formed through the semiconductor substrate, the diffusion layers, the first insulating film and the poly-silicon layer having a fast oxidation speed, and a second insulating film 29 which covers over a layer and a trench part having a fast oxidation speed.



LEGAL STATUS

[Date of request for examination] 13.11.2002

[Date of sending the examiner's decision of rejection] 30.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204782

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁸

H 0 1 L 29/78
21/76

識別記号

F I

H 0 1 L 29/78 3 0 1 V
21/76 L
29/78 3 0 1 R

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平10-2608

(22) 出願日 平成10年(1998) 1月8日

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 土谷 政信

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72) 発明者 鈴木 啓太

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路半導体工場内

(72) 発明者 大澤 明彦

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(74) 代理人 弁理士 須山 佐一

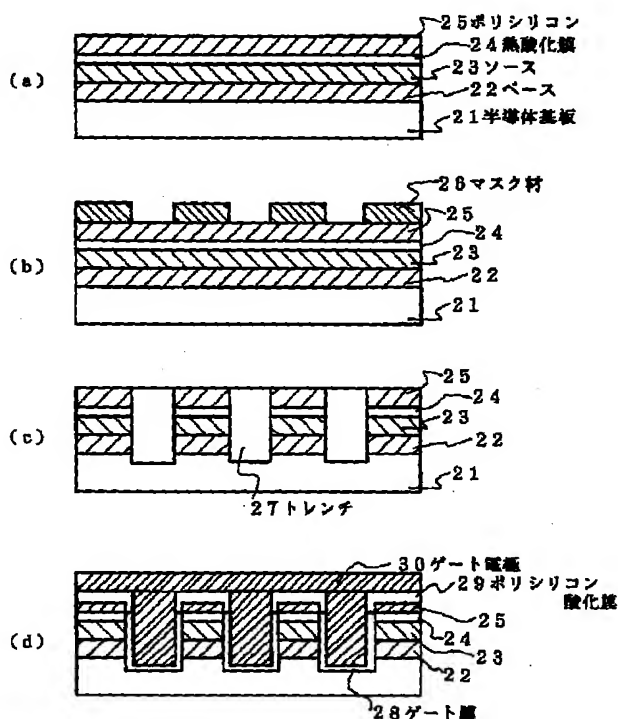
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 酸化レート異なる材料を用いることによって、トレンチ開口部の角部の膜構造を均一な厚さとする
ことのできる半導体装置およびその製造方法を提供す
る。

【解決手段】 半導体基板21と、半導体基板上に形成
された拡散層22、23と、拡散層の上に形成された第
1の絶縁膜24と、第1の絶縁膜24の上に形成され
た、半導体基板と拡散層よりも速い酸化速度を有するポ
リシリコン層25と、半導体基板、拡散層、第1の絶縁
膜および速い酸化速度を有するポリシリコン層を貫いて
形成された溝部27と、速い酸化速度を有する層と溝部
を覆う第2の絶縁膜29とを具備する半導体装置。



【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板上に形成された拡散層と、前記拡散層の上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜の上に形成された、前記半導体基板と前記拡散層よりも速い酸化速度を有する層と、前記半導体基板、前記拡散層、前記第 1 の絶縁膜および前記速い酸化速度を有する層を貫いて形成された溝部と、前記速い酸化速度を有する層と前記溝部を覆う第 2 の絶縁膜とを具備することを特徴とする半導体装置。

【請求項 2】 前記半導体基板および前記拡散層よりも速い酸化速度を有する層が、実質的にポリシリコンからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 半導体基板上に拡散層を形成する工程と、前記拡散層上に第 1 の絶縁膜を形成する工程と、前記絶縁膜上に前記半導体基板および前記拡散層よりも速い酸化速度を有する層を形成する工程と、前記半導体基板、前記拡散層、前記第 1 の絶縁膜および前記速い酸化速度を有する層を貫いて、溝部を形成する工程と、前記速い酸化速度を有する層と前記溝部を第 2 の絶縁膜で覆う工程と、前記第 2 の絶縁膜上に電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記半導体基板および前記拡散層よりも速い酸化速度を有する層が、実質的にポリシリコンからなることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記ポリシリコンに不純物を添加することを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、溝部を有する半導体装置およびその製造方法に係わり、特に、トレンチ溝部の開口部の角部を酸化レート異なる材料により構成してなるトランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 トランジスタなどの半導体装置を、微細加工技術により高密度に集積させた高集積回路において、さらなる高集積化および高い駆動能力が求められている。

【0003】 近年、中でも注目されているのがトレンチ（溝）を有する半導体装置である。ゲートをトレンチ構造にすると、基板上のゲート部分の占有面積を狭くすることができ、その結果電流値の大きな、性能の良い高集積回路が実現される。

【0004】 しかし、このトレンチ構造には、トレンチ開口部の角部のゲート酸化膜が、他の膜部分に比べて薄くなるという問題があった。これは、ゲート酸化膜の熱酸化により、膜の面方位が変化して膜の成長の仕方が異なることに起因している。トランジスタの製造工程において、ゲート酸化膜の酸化のためには 1000℃程度の温度が必要であるため、これは不可避の問題であった。

トレンチ開口部の角部のゲート酸化膜が、他の膜部分に比べて薄くなると、角部に発生する強電界で破損してしまう恐れがある。

【0005】 1000℃より高い温度で処理すれば、トレンチ開口部の角部も含めゲート酸化膜全体にわたって均一な膜が得られるが、1000℃を超えた温度で処理すると、不純物拡散層における拡散が進みすぎてしまうという新たな問題が生じる。ここで、従来のトレンチ構造の半導体装置およびその製造方法を図 1～5 を参照して説明する。

【0006】 図 1 は、ゲート電極引き出し部 1、ソース 2 およびトレンチ 3 からなる従来の半導体装置の平面図である。図 2 は、図 1 の A-A' 断面図、図 3 は B-B' 断面図であり、ゲート電極引き出し部 1、ソース 2 の他、半導体基板（ドレイン） 4、ベース 5、ゲート膜 6 およびゲート電極 7 が図示されている。

【0007】 図 4 に従来のトレンチ構造の半導体装置の製造工程を示す。図 4（a）は、シリコン基板（ドレイン） 11 の上にベース 12、ソース 13 および熱酸化膜 14 を形成した図である。図 4（b）において、熱酸化膜 14 の上にトレンチエッチングのためのトレンチマスク材 15 を形成している。図 4（c）は、エッチングにより半導体基板にトレンチ 16 が形成され、熱酸化膜 14 およびマスク材 15 が除去された状態である。図 4（d）において、トレンチ 16、ベース 12 およびソース 13 に沿ってゲート膜が形成され、その上にゲート電極 18 が形成されている。

【0008】 図 5 は、従来の半導体装置におけるトレンチ構造の拡大断面図である。図 5 からわかるように、トレンチ開口面の両角部において、ゲート膜が切り込みが入ったように薄くなっている。このようにゲート膜が薄くなった尖り部分 19 は電界が集中し易く、ゲート耐圧が低下する。

【0009】 このようなトレンチ構造における問題点を解決すべく種々の試みがなされている。

【0010】 例えば、特開平 7-249768 号公報には、トレンチ側壁上端コーナー部を増殖酸化させることにより厚くした装置が開示されている。特開平 5-47919 号公報には、トレンチ溝の素子形成領域のエッジ部分にまるみをもたせた装置が開示されている。また、特開平 7-326738 号公報には、トレンチ上部のコーナー部分をゲート電極が覆わない構造が開示されている。さらに、特開平 2-113548 号公報には、ゲート電極直下に、段差を設け、その段差に酸化膜のサイドウォールを形成した構造が開示されている。

【0011】 しかし、これらは製造工程が複雑であったり、ゲート膜の尖り部分の厚さを信頼性高く製造するには不十分であった。

【0012】

【発明が解決しようとする課題】 以上のように、トレン

チ開口部の角部分においてもゲート膜に尖りが生じない構造の半導体装置が必要とされていた。

【0013】従って、本発明の目的は、酸化レートの異なる材料を用いることによって、トレンチ開口部の角部の膜構造を均一な厚さとするのできる半導体装置およびその製造方法を提供することである。

【0014】また、本発明の他の目的は、酸化レートの異なる材料において、酸化レートの差をより大きくするために、酸化レートの速い材料に不純物を充填して、より信頼性の高いトレンチ側壁上端角部構造を有する半導体装置およびその製造方法を提供することである。

【0015】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、半導体基板上に形成された拡散層と、拡散層の上に形成された第1の絶縁膜と、第1の絶縁膜の上に形成された、半導体基板と拡散層よりも速い酸化速度を有する層と、半導体基板、拡散層、第1の絶縁膜および速い酸化速度を有する層を貫いて形成された溝部と、速い酸化速度を有する層と溝部を覆う第2の絶縁膜とを具備することを特徴としている。

【0016】また、本発明の半導体装置の製造方法によれば、半導体基板上に拡散層を形成する工程と、拡散層上に第1の絶縁膜を形成する工程と、絶縁膜上に半導体基板および拡散層よりも速い酸化速度を有する層を形成する工程と、半導体基板、拡散層、第1の絶縁膜および速い酸化速度を有する層を貫いて溝部を形成する工程と、速い酸化速度を有する層と溝部を第2の絶縁膜で覆う工程と、第2の絶縁膜上に電極を形成する工程とを含むことを特徴としている。

【0017】本発明の半導体装置およびその製造方法において、拡散層は、ベース層およびソース層からなる。

【0018】また、本発明の半導体装置およびその製造方法における第2の絶縁膜は、速い酸化速度を有する層と溝部を実質的に全体を連続して覆っている。

【0019】本発明の一実施例によれば、半導体基板はシリコンであり、半導体基板および拡散層よりも速い酸化速度を有する材料はポリシリコンである。また、このポリシリコンに不純物を添加してもよい。

【0020】本発明によれば、半導体基板および拡散層よりも酸化速度の速い材料を、半導体基板の上に存在させることにより、溝部の側壁上端角部を嵩高い構造とすることが可能となり、従来のように角部の絶縁膜が薄くなることを防ぐことができる。

【0021】本発明によれば、基板エッチングの後、トレンチ（溝部）の酸化により、トレンチ内部の基板と拡散層部分には SiO_2 膜（第2の絶縁膜）が、ポリシリコン上部とトレンチ内部のポリシリコンにポリシリコン酸化膜（第2の絶縁膜）が形成される。このポリシリコンの酸化レートがシリコンよりも速いため、このような嵩高い積層構造を実現することができる。

【0022】一般に、酸化レートは、その物質の濃度が高くなると速くなる。したがって、不純物を添加することで酸化レートを高めることができる。

【0023】不純物を添加することで得られる層厚は、不純物を添加しない場合に比べて数十nm増大する。

【0024】不純物としては、p型であれば、ホウ素等、n型であれば砒素、アンチモン、りん等通常の不純物が挙げられる。不純物を添加することで、トレンチ開口部の角部を精度良く嵩高いものとするのできる。これら不純物の充填割合は、 10^{20} cm^{-3} 程度である。

【0025】また、現在マスク材として多用されている SiO_2 は熱酸化膜（第1の絶縁膜）の材料でもあるため、マスク材除去時にこの熱酸化膜の一部も除去されてしまった。

【0026】しかしながら、本発明の半導体装置によれば、熱酸化膜の上にさらに層を設けているため、熱酸化膜の厚さがマスク除去により損なわれることを防ぐという効果も得られ、熱酸化膜がトレンチ開口部の絶縁膜厚をかせぐことに利用できる。

【0027】本発明の構造および製造方法は、トレンチ溝を有する半導体装置であれば適用でき、それ以外の形状の制約は特にない。例えば、従来あるような図11に示す片側のみを引き出した形状にしてもよい。また、MOS-FETばかりでなく、半導体基板の裏面全面にp型層を形成したn型半導体基板を用いればIGBT（絶縁ゲート型バイポーラトランジスタ）にも適用することができる。

【0028】

【発明の実施の形態】本発明の半導体装置について図6～9を用いて説明する。

【0029】図6は本発明の半導体装置の平面図であり、ゲート電極引き出し部31、ポリシリコン酸化膜29、トレンチ27およびソース23からなる。

【0030】図7に、本発明の一実施例による半導体装置の製造工程を示す。

【0031】図7（a）において、半導体基板（ドレイン）21の上にベース22、ソース23、熱酸化膜24およびポリシリコン25が形成されている。図7（b）において、ポリシリコン25の上にトレンチエッチングのためのトレンチマスク材26が形成されている。図7（c）は、エッチングにより、半導体基板にトレンチ27が形成され、マスク材26が除去された状態である。図7（d）において、ポリシリコン25の上とトレンチ形成部分にポリシリコン酸化膜29が形成され、トレンチ27にはゲート膜28が形成されており、ゲート電極30が埋め込まれている。

【0032】図8は、本発明の半導体装置におけるトレンチ構造の拡大断面図である。図8からわかるように、ゲート膜28および熱酸化膜24の上にポリシリコン25とポリシリコン酸化膜29がさらに積層しているた

め、トレンチ開口面の両角部は薄くなることなく、他の部分と同一の厚さを保っている。

【0033】ゲート膜28の厚さは約100nm、熱酸化膜24の厚さは100~200nm、ポリシリコンの厚さは500nm以上、ポリシリコン酸化膜29の厚さは100nm以上である。

【0034】以下、本発明の半導体装置の製造方法について具体的に説明する。

【0035】【実施例1】まず、図7(a)のように、シリコン半導体基板(ドレイン)21の上にp⁺型ベース拡散層22を4000nmの厚さで、n⁺型ソース拡散層23を300nmの厚さで、第1の絶縁膜としてSiO₂熱酸化膜24を150nmの厚さで、さらにシリコン基板および両拡散層より酸化レートが速い材料としてポリシリコン25を500nmの厚さで、例えばCVD法により堆積させる。

【0036】次に、図7(b)に示すように、ポリシリコン25の上にトレンチエッチングのためのSiO₂トレンチマスク材26をCVD法により形成する。

【0037】図7(c)に示すように、SiO₂トレンチマスク材26パターニングと同時にポリシリコン25とSiO₂熱酸化膜24を反応性イオンエッチング等によりエッチングして、トレンチ27を形成する。トレンチの幅は約1,000nm、深さは約4,000~6,000nmとする。トレンチの後処理を施した後、マスク材26を除去する。

【0038】さらに、酸化処理を施し、図7(d)に示すように、トレンチ27には厚さ100nmのゲート膜28、ポリシリコン25を覆うようにして厚さ150nmのポリシリコン酸化膜29が形成される。このとき、ポリシリコンの酸化レートが基板21、ベース22およびソース23のバルクシリコンよりも速いため、この積層構造が実現される。ゲート膜28およびポリシリコン酸化膜29の上に、ゲート電極30を形成し、ゲート電極の引き出し部をパターニングする。

【0039】この後、図示しないが、素子の全面にCVD層を堆積し、このCVD層をリソグラフィ法によりエッチングして、コンタクトをとるための開口を開け、Al金属等によりソース電極を形成し、さらにパッシベーション層を堆積させる等によって、トランジスタを構成する。

【0040】【実施例2】図9を参照して本発明の変形実施例である不純物を充填した半導体装置について説明する。

【0041】図9(a)に示すように、シリコン基板41の上に、SiO₂酸化膜42を150nmの厚さで堆積し、その上にポリシリコン43を500nmの厚さで堆積させる。

【0042】次に、図9(b)に示すように、ゲート電極引き出し領域にポリシリコン43が残るようにしてパ

ターニングを行う。

【0043】さらに図9(c)に示すように、シリコン基板41の表面にボロンを注入し、拡散させてベース層44を形成する。この際、同時にポリシリコン層にもボロンを拡散する。

【0044】最後に図9(d)に示すように、SiO₂酸化膜42を選択的にエッチングして、ベース層44に砒素を注入し、拡散させてソース層を形成する。

【0045】この後、前述のようにトレンチを形成させて、半導体装置を完成させる。

【0046】実施例1および2、従来例のゲート耐量を測定した。100μA/cm²となるような電圧をかけて、ゲート膜厚で規格化して測定した。

【0047】図10の結果から明らかなように、実施例1および2のゲート耐量は、従来例に比べ実施例1では45%、実施例2では63%増大した。

【0048】

【発明の効果】本発明によれば、酸化レートの異なる材料を用いるだけで、トレンチ開口部の角部を嵩高くすることができ、この角部の膜厚が他の膜部分より薄くなることを防止することができる。これにより、ゲート耐量の低下を防ぐことができ、優れた性能を有する半導体装置が実現される。また、ポリシリコンに不純物を拡散させることにより、さらにポリシリコン酸化膜を厚くすることができ、ゲート耐量のマージンをより一層向上させることができる。

【図面の簡単な説明】

【図1】 従来の半導体装置の平面図。

【図2】 図1のA-A'断面図。

【図3】 図1のB-B'断面図。

【図4】 従来の半導体装置の製造工程を示すB-B'断面図。

【図5】 従来の半導体装置におけるトレンチ部分の拡大断面図。

【図6】 本発明の一実施例の半導体装置の平面図。

【図7】 本発明の一実施例の半導体装置の製造工程を示すC-C'断面図。

【図8】 本発明の半導体装置におけるトレンチ部分の拡大断面図。

【図9】 本発明の他の実施例の半導体装置の製造工程を示すD-D'断面図。

【図10】 従来の半導体装置と本発明の半導体装置のゲート耐量を比較して示したグラフ。

【図11】 本発明の変形実施例の半導体装置におけるトレンチ部分の拡大断面図。

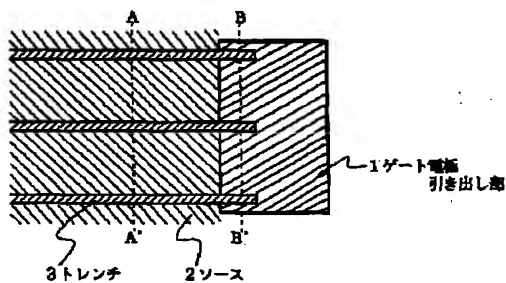
【符号の説明】

1…ゲート電極引き出し部、2…ソース、3…トレンチ、4…半導体基板(ドレイン)、5…ベース、6…ゲート膜、7…ゲート電極、11…半導体基板(ドレイン)、12…ベース、13…ソース、14…熱酸化膜、

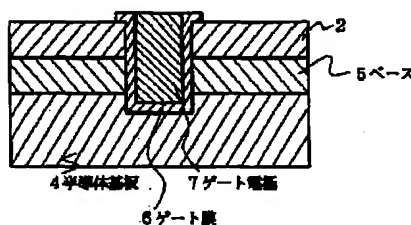
15…マスク材、16…トレンチ、17…ゲート膜、18…ゲート電極、19…ゲート膜の尖り、21…半導体基板（ドレイン）、22…ベース、23…ソース、24…熱酸化膜、25…ポリシリコン、26…マスク材、2

7…トレンチ、28…ゲート膜、29…ポリシリコン酸化膜、30…ゲート電極、31…ゲート電極引き出し部、41…半導体基板（ドレイン）、42…熱酸化膜、43…ポリシリコン、44…ベース、45…ソース

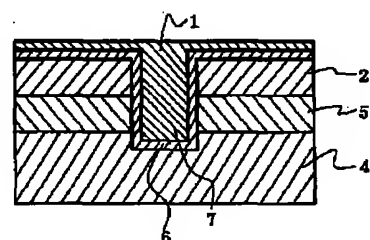
【図1】



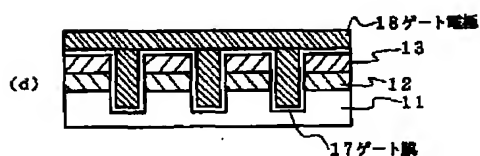
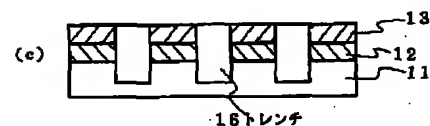
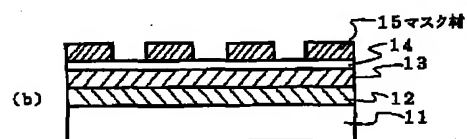
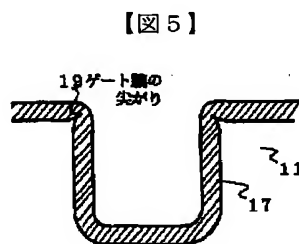
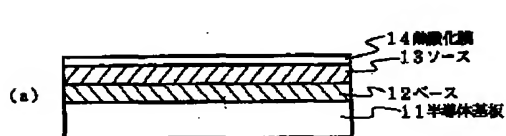
【図2】



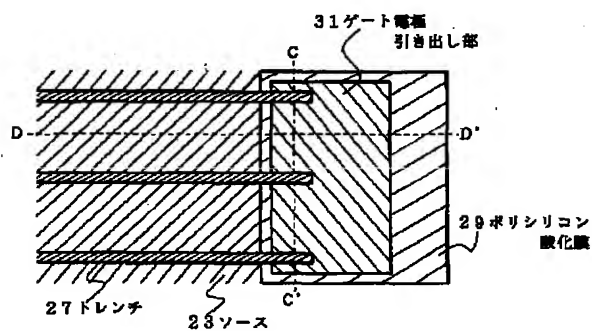
【図3】



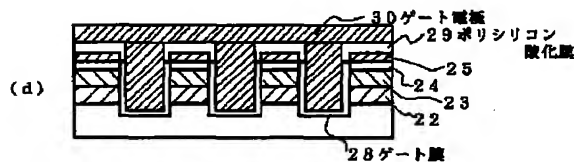
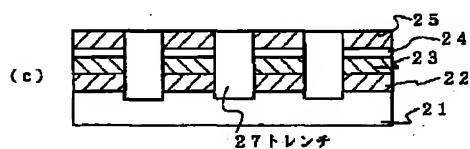
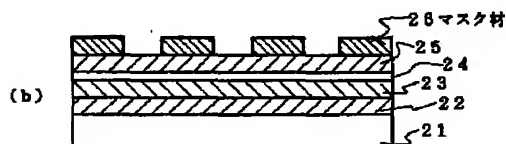
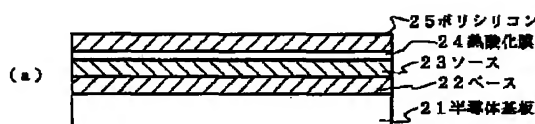
【図4】



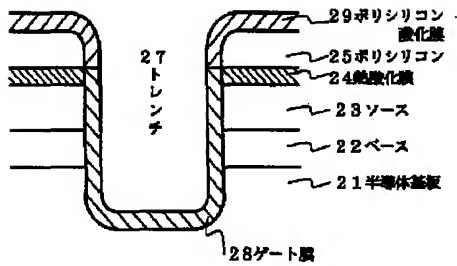
【図6】



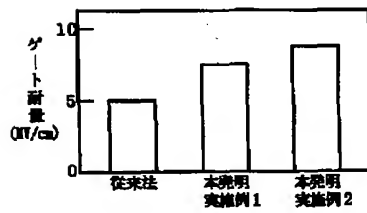
【図7】



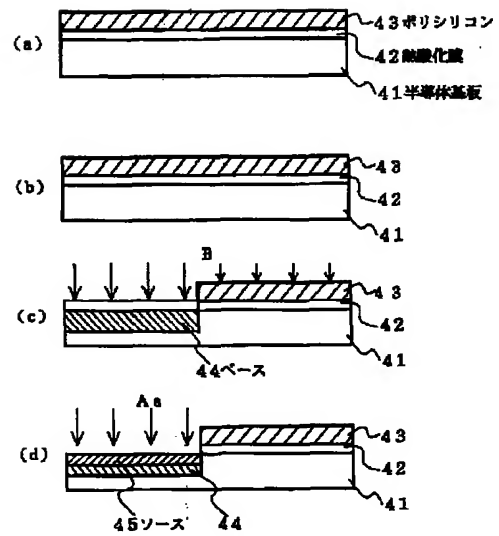
【図8】



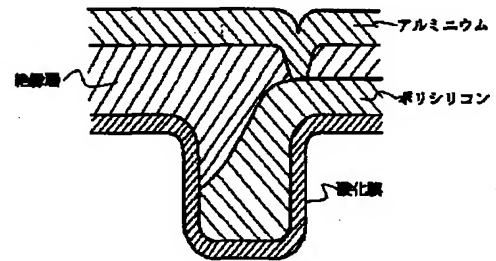
【図10】



【図9】



【図11】



フロントページの続き

(72)発明者 馬場 嘉朗
神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内